车规级芯片科技攻关“揭榜挂帅”

项目申报榜单

一、需求目标

为推动车规级芯片技术和产业发展，市科委、中关村管委会围绕国产车规级芯片搭载应用，按照“揭榜挂帅”组织形式，面向各类创新主体征集科研攻关项目，现发布2025年度车规级芯片科技攻关“揭榜挂帅”项目申报榜单。揭榜团队可以选择榜单中的一种或多种芯片任务进行揭榜。

二、基本功能性能、封装形式、交付物、项目周期要求

**（一）存储类 一款高带宽高速率低功耗的存储芯片**

**功能性能：**

该芯片为LPDDR5x[动态随机存取存储器](https://zhida.zhihu.com/search?content_id=234317841&content_type=Article&match_order=1&q=%E5%8A%A8%E6%80%81%E9%9A%8F%E6%9C%BA%E5%AD%98%E5%8F%96%E5%AD%98%E5%82%A8%E5%99%A8&zd_token=eyJhbGciOiJIUzI1NiIsInR5cCI6IkpXVCJ9.eyJpc3MiOiJ6aGlkYV9zZXJ2ZXIiLCJleHAiOjE3NDc1NjE4NTQsInEiOiLliqjmgIHpmo_mnLrlrZjlj5blrZjlgqjlmagiLCJ6aGlkYV9zb3VyY2UiOiJlbnRpdHkiLCJjb250ZW50X2lkIjoyMzQzMTc4NDEsImNvbnRlbnRfdHlwZSI6IkFydGljbGUiLCJtYXRjaF9vcmRlciI6MSwiemRfdG9rZW4iOm51bGx9.08Y3LR2DOe1PjBWBFkKLO6d2UpThQOswTL7MiZhLD4k&zhida_source=entity" \t "_blank)，支持自动刷新和低功耗自刷新、链路保护支持ECC校验、支持动态电压频率调整、支持自适应DFE（判决反馈均衡）调节、支持ODT（片上终端电阻）可编程、支持VOH（高电平输出电压）补偿。

存储芯片容量大小：≥16Gb

数据传输速度：≥8533 Mbps

总线宽度：64 bit

总带宽：≥68.3 GB/s

每通道最大带宽：≥17.1 GB/s

每个引脚的数据速率（时钟频率：1067 MHz时）：≥8533Mbps

每个引脚的数据速率（时钟频率：5GHz时）：≥40 Gb/s

Bank数量：8Banks

输入/输出接口：LVSTL 0.5/0.3

LVSTL 0.5V：高带宽模式下的接口电压

LVSTL 0.3V：低功耗模式下的接口电压

I/O类型：低摆幅单端

I/O电源：

VDD1电压范围：1.70–1.95V（1.80V典型值）

VDD2H电压范围：1.01–1.12V（1.05V典型值）

VDD2L电压范围：1.01–1.12V（1.05V典型值）或0.87–0.97V（0.90V典型值）

VDDQ电压范围：0.50V 或 0.45V，0.30V（ODT OFF）

封装形式：TFBGA-Pin441

**功能安全等级**：QM

**可靠性等级**：通过AEC-Q100车规级产品测试（工作温度范围区间在-40℃~ +105℃）。

**交付物**：提交满足考核指标的芯片，并提供使用说明书（至少含芯片数据手册、用户手册、功能安全手册）评估板。提供具备CNAS资质的第三方AEC-Q100测试报告。

**项目周期**：

1. 2027年3月底前完成提交满足≥100 颗芯片的工程样片/产品及相关软件工具以及驱动交付。

2. 2028年3月底前完成提交量产芯片（SOP）≥1000 颗及相关测试报告。

榜单金额：不超过3000万元。

**（二）SOC类 一款具有HIFI架构的高性能数字信号处理器**

**功能性能：**

该芯片是异构多核多通道音频数据的DSP处理器，支持音频浮点数据处理，JTAG调试、动态电源管理、故障管理、休眠、唤醒、AES/DES/SHA加解密功能。具有USB、以太网、CAN等实用的外设接口。应用于座舱的音频语音前处理、道路降噪消除、高阶环绕音效等。

双核CPU(Cortex STAR)，HiFi DSP (至少一个性能核心频率≥1GHz，普通核心频率≥500MHz)

L1 SRAM(Byte)：≥13Mb

L2 SRAM(Byte)：≥8Mb

L3控制器接口（16 bit）：DDR3/DD3L(1.5V/1.35V)

FIR/IIR硬件加速主频：≥500MHz

FIR/IIR性能：≥5GMAC

串行音频数据接口：≥32个IO（支持I2S/TDM/PCM配置，TDM8/TDM16模式）

音频超低延时：≤0.9ms

DMA通道：≥40路

S/PDIF收发器：TX输出≥1路，RX输入≥2路

OTP容量：≥8Kb

I2C：≥6路

SPI：≥4路（至少2路 Slave 带流控，2路 Master 4线）

UART：≥3路（至少2路带流控）

定时器：≥10个

看门狗:≥5个

高精度时钟发生器(PCG)：≥4个

USB2.0：≥1个

CAN FD：≥1个

工作电压：3.1V~3.5V

休眠电流：≤30mA

芯片功耗：≤3W（典型：全速运行，常温工作条件：25℃）

封装形式：BGA

**功能安全等级**：QM

**可靠性等级**：通过AEC-Q100 车规级产品测试（工作温度范围区间在-40 ℃~ +105℃）。

**交付物**：提交满足考核指标的芯片，并提供使用说明书（至少含芯片数据手册、用户手册、功能安全手册、编译器、调试工具、音频编解码算法库）和评估板。提供具备CNAS资质的第三方AEC-Q100测试报告。

**项目周期**：

1. 2027年3月底前完成提交满足≥20 颗芯片的工程样片/产品及相关软件工具以及驱动交付。

2. 2028年3月底前完成提交量产芯片（SOP）≥100 颗及相关测试报告。

榜单金额：不超过3000万元。